

Reference Number: P003815-02

Mailing Number: 460770

Mailing Date: October 17, 2006 (H 18)

5

NOTIFICE OF REJECTION

Patent Application No: H10-018050

Drafting Date: October 5, 2006 (H 18)

Examiner: Koji Fukushima 3615 2L00

Applicant: Semiconductor Energy Laboratory Co., Ltd.

10 Applied Article: 2nd paragraph of Article 29

The present application should be rejected under the following reasons. Remarks should be submitted within 60 days after mailing this Office Action if there are comments about the rejection.

15

Reasons

The invention related to the following claims of the present application is not patentable under the 2nd paragraph of Article 29 of the Patent Law, because a 20 person with an ordinary skill in the art to which the invention belongs would have easily accomplished the invention based on the invention described in the following printed publications which were distributed inside or outside Japan before the filing date of the present application.

25 Notice (refer to a list of cited documents etc. with respect to cited documents etc.)

Claims 1, 4 to 7, and 9 to 19

Cited documents 1 to 5

Remarks:

With respect to claims 1 and 2, 6 and 7, and 9 to 11, a semiconductor device 30 which includes a thin film transistor, a first interlayer insulating film formed over the thin film transistor, a drain electrode formed over the first interlayer insulating film, an

insulating film formed so as to cover the drain electrode, a metal film formed over the capacitance film, a capacitance film formed over the metal film, and an opening portion formed on the insulating film and the capacitance film and exposing a part of the drain electrode is disclosed in the cited document 1. In the semiconductor device disclosed 5 in the cited document 1, it is apparent that capacitance is formed between the drain electrode and the metal film (FIGS. 8 and 9). In the cited document 2, a semiconductor device which includes a solution coating-based conductive film formed so as to be embedded in an opening portion, and a pixel electrode formed of aluminum and formed on an interlayer insulating film and the solution coating-based conductive 10 film is disclosed. In the cited document 3, a structure where a surface is planarized after forming a conducting material so as to be embedded in an opening portion is disclosed.

Although a material of the insulating film over the drain electrode is not disclosed in the cited document 1, it is well known that silicon nitride is used as an 15 insulating film. In addition, forming a third interlayer insulating film is not recognized that it has a particular advantageous effect, and it is merely a matter of design choice which can be done as appropriate for those skilled in the art. Accordingly, those skilled in the art would have easily come up with a structure like the invention based on the inventions disclosed in the cited documents 1 to 3.

20

With respect to claim 3, in the semiconductor device disclosed in the cited document 2, patterning of a coating conductive film and patterning of the pixel electrode are performed in different steps, and patterned shapes of them are also different; however, a structure where ITO and metal are patterned into the same shapes is well 25 known (if needed, refer to the cited documents 4 and 5 etc.)

With respect to claim 4, an organic insulating film is well known (if needed, refer to a cited document 6 etc.).

With respect to claim 5, it is merely a matter of design choice which can be 30 done as appropriate for those skilled in the art to form a cross-sectional shape of a contact hole into a tapered shape (if needed, refer to FIG. 10 in a cited document 7 etc.).

With respect to claims 12 to 14 and 16 to 19, both of etching and polishing are

well known as methods for planarizing a surface, and it is merely a matter of design choice which can be done as appropriate for those skilled in the art to employ them as the methods for planarizing disclosed in the cited document 3.

With respect to claim 15, a structure where a pixel bottom electrode is etched
5 using a pixel upper electrode as a mask is disclosed in the cited document 4.

For the claims other than the claims specified in this notice of rejection, no reason for refusal is found at present. If any reason for refusal is found later, it will be notified.

10

List of Cited Documents etc.

1. Japanese Published Patent Application No. H08-340120 (Refer to [0064] to [0068], FIGS. 8 and 9 etc.)

2. Japanese Published Patent Application No. H05-335424 (Refer to [0044] to [0051],
15 FIG. 4 etc.)

3. Japanese Published Patent Application No. H09-080464 (Refer to [0039] to [0044], FIG. 5 etc.)

4. Japanese Published Patent Application No. H07-098452 (Refer to [0032] to [0040] etc.)

20 5. Japanese Published Patent Application No. H08-101385 (Refer to [0035] to [0047] etc.)

6. Japanese Published Patent Application No. S57-020778

7. Japanese Published Patent Application No. H04-220625

25

Record of Search for Prior Art Documents

Technical field to be searched: IPC Version 8 G02F 1/1368

Prior Art Documents: Japanese Published Patent Application No. H09-230806

Japanese Published Patent Application No. H08-76145

30 This record of search for the prior art documents is not a component of the reasons for refusal.

Please contact me at the following address if you have any questions concerning these

reasons for refusal or want to have an interview.

Address: Applied optics division in the First Patent Examination Department Yusuke
Okuda

(Phone: 03-3581-1101 Extension: 3293)

拒絶理由通知書

特許出願の番号 平成10年 特許願 第018050号
起案日 平成18年10月 5日
特許庁審査官 福島 浩司 3615 2L00
特許出願人 株式会社半導体エネルギー研究所 様
適用条文 第29条第2項

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から60日以内に意見書を提出して下さい。

理由

この出願の下記の請求項に係る発明は、その出願前に日本国内又は外国において頒布された下記の刊行物に記載された発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

記 (引用文献等については引用文献等一覧参照)

- ・請求項1、4-7、9-19
- ・引用文献1-5

備考:

請求項1-2、6-7、9-11について、引用文献1には、薄膜トランジスタと、前記薄膜トランジスタ上に形成された第1の層間絶縁膜と、第1の層間絶縁膜上に形成されたドレイン電極と、前記ドレイン電極を覆うように形成された絶縁膜と、前記容量膜上に形成された金属膜と、前記金属膜上に形成された容量膜と、前記絶縁膜および前記容量膜に形成され、前記ドレイン電極の一部を露呈する開孔部とを有する半導体装置が記載されている。引用文献1に記載の半導体装置において、ドレイン電極と金属膜との間で容量が形成されることは明らかである(図8-9)。引用文献2には、開孔部を埋め込むように形成された溶液塗布系導電膜と、層間絶縁膜及び前記溶液塗布系導電膜上に接して形成された、アルミニウムからなる画素電極とを有する半導体装置が記載されている。引用文献3には、開孔部に埋め込むように導通材を形成した後、表面を平坦化する構成が記載されている。

引用文献1にはドレイン電極上の絶縁膜の材料について記載がないが、絶縁膜として窒化珪素を用いることは周知である。また、第3の層間絶縁膜を形成することに格別の効果は認められず、当業者が適宜なし得る設計事項にすぎない。したがって、引用文献1-3に記載された発明に基づき、本願発明のような構成とすることは、当業者が容易に想到し得ることである。

請求項3について、引用文献2に記載の半導体装置においては、塗布導電膜のパターニングと画素電極のパターニングを別工程で行っており、それらのパターニング形状も異なっているが、ITOと金属とを同一形状でパターニングする構成は周知である(必要であれば、引用文献4-5等参照)。

請求項4について、有機絶縁膜は周知である(必要であれば、引用文献6等参照)。

請求項5について、コンタクトホールの断面形状をテーパー状とすることは、当業者が適宜なし得る設計事項にすぎない(必要であれば、引用文献7図10等参照)。

請求項12-14、16-19について、表面を平坦化させる手段としてエッティングおよび研磨はいずれも周知であり、引用文献3に記載された平坦化の方法としてこれらを採用することは、当業者が適宜選択し得る設計事項にすぎない。

請求項15について、引用文献4には画素上部電極をマスクとして画素下部電極をエッティングする構成が記載されている。

この拒絶理由通知書の中で指摘した請求項以外の請求項に係る発明については、現時点では、拒絶の理由を発見しない。拒絶の理由が新たに発見された場合には拒絶の理由が通知される。

引用文献等一覧

1. 特開平8-340120号公報（【0064】-【0068】、図8-9等参照）
2. 特開平5-335424号公報（【0044】-【0051】、図4等参照）
3. 特開平9-080464号公報（【0039】-【0044】、図5等参照）
4. 特開平7-098452号公報（【0032】-【0040】等参照）
5. 特開平8-101385号公報（【0035】-【0047】等参照）
6. 特開昭57-020778号公報
7. 特開平4-220625号公報

先行技術文献調査結果の記録

- ・調査した分野 IPC第8版 G02F 1/1368
- ・先行技術文献 特開平9-230806号公報
- 特開平8-76145号公報

この先行技術文献調査結果の記録は、拒絶理由を構成するものではありません。

この拒絶理由についての問い合わせがあるときは、または、この出願についての面接を希望されるときは、以下までご連絡ください。

連絡先：特許審査第一部光デバイス 奥田雄介
(03-3581-1101 内線3293)